

文章编号 1004-924X(2010)12-2665-07

用于激光测距的高精度时间数字转换电路

冯志辉^{1,2}, 刘恩海¹

(1. 中国科学院光电技术研究所, 四川 成都 610209;

2. 中国科学院研究生院, 北京 100039)

摘要:针对大容量现场可编程门阵列(FPGA)时间数字转换电路线性度较差的问题,采用小容量FPGA实现了用于激光测距的高精度、高线性度时间数字转换电路。通过对高速计数器、数字插入方法、编码器硬件算法的研究,分析了影响时间数字转换电路精度和非线性误差的因素,提出了一种降低非线性误差的方法。首先,根据所分析的影响因素,解决了高速锁存的问题,在单片小容量FPGA XC2V250上实现了时间数字转换电路;接着,通过USB接口将携带时间信息的计数器值和温度计码转为二进制编码值传给PC机,进行计算和显示;最后,设计了延时测量电路,对所设计的时间数字转换电路进行了测试,得到了各个延时单元延时的大小,并进行了数据分析和处理。测试结果显示:时间数字转换电路单次测时分辨率约为80 ps,校正后可达40 ps左右,微分非线性误差为 $-0.524\text{LSB} \sim +0.448\text{LSB}$,积分非线性误差为 $-1.598\text{LSB} \sim +1.492\text{LSB}$,可以满足飞行时间法激光测距中高精度测时的要求。

关键词:激光测距;时间数字转换电路;FPGA;非线性度

中图分类号: TN249; TN709 **文献标识码:** A **doi:** 10.3788/OPE.20101812.2665

High-accuracy TDC for laser range finder

FENG Zhi-hui^{1,2}, LIU En-hai¹(1. *Institute of Optics and Electronics, Chinese Academy of Sciences, Chengdu 610209, China;*2. *Graduate University of Chinese Academy of Sciences, Beijing 100039, China*)

Abstract: A low-density Field Programmable Gate Array(FPGA) was chosen to realize a high-accuracy, low nonlinearity Time-to-Digital Converter(TDC) circuit to a laser range finder, for the high-density FPGA TDC circuit showed a worst linearity. The high-speed counter, interpolator methods and the encoder algorithm were studied, and the factors effecting on the high-resolution and nonlinearity of TDC circuit implemented in a single FPGA were analyzed. Then, a method to reduce the nonlinearity of TDC circuit was proposed. Focusing on the method, a high-speed latch problem was settled based on the above factors, and a TDC circuit was designed by a low-density FPGA XC2V250. A USB interface was used to transfer the time signal into the digital code to a PC to be calculated and displayed. Finally, a time measurement circuit was designed to measure the delay time of TDC delay cells. Obtained delay time was processed and analyzed, and experimental results indicate that the single plot precision of the TDC circuit is about 80 ps, and the time interval resolution after calibration can reach 40 ps. The differential nonlinearity and integral nonlinearity of TDC circuit are between —

收稿日期:2010-03-16;修订日期:2010-05-07.

基金项目:中国科学院光电技术研究所预研资助项目

0.524LSB and +0.448LSB, -1.598LSB and +1.492LSB, respectively.

Key words: laser range finder; Time-to-Digital Converter(TDC); Field programmable Gate Array(FPGA); nonlinearity

1 引言

时间是科学研究、科学实验和工程技术等方面的基本物理参量。精密的时间测量不仅应用于飞行时间法(Time-of-flight, TOF)激光测距、深空通讯、卫星发射及监控、科学计量等领域,也在粒子物理实验、地球动力学研究和人造卫星动力学测地等领域发挥着越来越重要的作用^[1]。时间数字转换(Time-to-digital Converter, TDC)电路是时间测量的基本手段,它将携带时间信息的模拟信号转换为数字信号,从而实现时间信息的测量。

近些年来,利用 FPGA 实现 TDC 电路的研究极受关注。一般来说,时间数字转换电路包括两大部分的时间测量:其一是“粗”时间测量,测量模块通常由计数器来实现;其二是“细”时间测量,测量模块采用插入法来提高时间测量精度,插入法包括模拟插入法和数字插入法。本文介绍了利用 FPGA 数字插入法来实现高精度时间数字转换电路,该方法由 Nutt 于 1968 年首次提出^[2]。常见的数字插入法有:抽头式延迟线(tapped delay line)^[3]、游标卡尺^[4]、级联进位链^[5]及专用进位链^[6]等。1995 年 Jozef Kalisz 等人在单片 FPGA 上利用抽头式延迟线插入法第一次实现了测时精度为 200 ps 的时间数字转换电路^[3];2006 年中国科技大学宋健等人利用专用进位链插入法在单片 100 MHz 计数时钟的 FPGA 上实现了测时精度为 50 ps 的时间数字转换电路^[6],该时间数字转换电路也是目前为止在单片 FPGA 上实现的测时精度最高的电路,其微分非线性误差(Differential Nonlinearity, DNL)为 $-0.953\text{LSB} \sim +1.051\text{LSB}$,积分非线性误差(Integral Nonlinearity, INL)为 $-2.003\text{LSB} \sim +1.855\text{LSB}$ 。若 DNL 误差指标 ≤ 1 ,意味着传输函数的单调性有保证,没有丢码。INL 误差表示实际传输函数背离直线的程度^[7],INL 大,表明该时间数字转换电路的非线性误差较大,这多是由大容量 FPGA 的架构,即时钟树分布延时不一致所引起的。时钟信号由

一个时钟引脚焊盘通过一个全局缓冲器到达 FPGA 的中心,接着通过缓冲器扇出到达 FPGA 各个象限的 slices。这些时钟信号到达各个象限的延时不一致,而且 FPGA 的容量越大,延时越不一致。用小容量的 FPGA 实现时间数字转换电路可以降低非线性误差,但带来的问题是:系统时钟频率的提高会导致 FPGA 程序时序设计难度增加。

本文在参考大量文献的基础上,总结了此类电路的设计方法,得到了在 FPGA 上实现 TDC 电路延时单元数与计数器时钟频率的关系,分析了影响延迟线延时单元时间分辨率和非线性误差的因素,提出了一种高速时钟下锁存延迟线延时信息的方法,从而减小了 FPGA 时间数字转换电路的非线性误差,最后采用专用延迟线插入法设计了 400 MHz 计数器时钟频率的时间数字转换电路。

2 时间数字转换电路的原理与设计

图 1 为激光测距 TDC 电路的原理示意图。由图可知激光测距时间测量由 3 部分组成:激光主波信号 START 和下一个计数器时钟上升沿之间的时间间隔 T_s ,激光主波信号 START 和回波信号 STOP 之间的计数器计数间隔 T_n ,激光回波信号 STOP 与计数器时钟下一个上升沿之间的时间间隔 T_e ,因此激光主波和回波信号之间的时间间隔为:

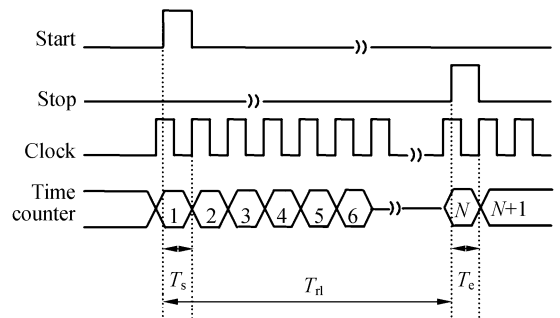


图 1 脉冲激光测距的 TDC 测时原理

Fig. 1 Measurement of TDC for pulsed laser

$$T_{rl} = T_{cm} + T_s - T_e, \quad (1)$$

由图 1 可知,时间间隔 T_s 和 T_e 都不会超过一个计数时钟周期 T_c 的大小。

在 FPGA 中有多种专用的进位资源,这些进位资源可以将相邻的逻辑单元级联起来,形成一条对输入信号高精度延时的插入线。为了实现延时插入线,必须考虑以下 3 个因素:(1)延迟线的长度 L ,也就是延时单元的个数;(2)延迟线延时单元的延时大小 T ;(3)计数器计数时钟的最小周期 T_c ,即 FPGA 所能运行的最高内部频率,整条延迟线的延时必须满足:

$$T \times L > T_c. \quad (2)$$

根据 Xilinx 公司提供的文档表 1,列出了一些高端系列 FPGA 内可编程逻辑块 (Configurable Logic Block, CLB) 内 Cin 到 Cout 的最大延时^[8]。需要说明的是,表中所示的最大进位延时并非实际片上所测,但是可以作为参考去估算整个延迟线的最大延时,从而可以确定计数器的时钟频率。

表 1 Xilinx FPGA CLB 内专用进位链的最大延时

Tab. 1 Max time delay of dedicated carry-in line in one CLB of Xilinx FPGA device (ps)

型号	速度等级		
Virtex-II	-6	-5	-4
Virtex-II	82	90	100
pro	-7	-6	-5
Virtex-IV	46	48	54
Virtex-V	-12	-11	-10
Virtex-V	70	70	80
Virtex-V	-3	-2	-1
Virtex-VI	90	100	110
Virtex-VI	-3	-2	-1
Virtex-VI	60	70	80

说明: Virtex-II 系列的最大延时是通过仿真得到的

由表 1 可知,基本可编程逻辑块进位延时最短的 FPGA 是速度等级为 -6 的 Virtex-II pro,而非最新系列的 Virtex-VI。

分析 Xilinx FPGA 内部的结构得知, Xilinx 公司 FPGA 内的基本逻辑单元之间进位连线只可以被级联成一列,每列之间不存在进位连线资源。因此在 Xilinx 公司 FPGA 上实现的延迟线长度还取决于 FPGA 一列内 CLB 的个数 N_c ,

CLB 的个数 N_c 越多,延迟线的长度越长。由公式(2)可知,所需计数器的计数频率越低,时间数字转换电路的设计难度也就越低,因此可选用一个容量的 FPGA。然而根据文献[6]得到的结论可知,大容量的 FPGA 所选的晶片尺寸大,这样会影响各个延时单元延时的线性度,从而影响 TDC 电路的稳定性。为了降低时间数字转换电路测时的非线性误差,本文采用 Xilinx 公司一块 Virtex-II 系列小容量 FPGA XC2V250-6CS144C (以下简称 XC2V250) 实现了 2 路结构对称的 TDC 电路,其原理如图 2 所示。

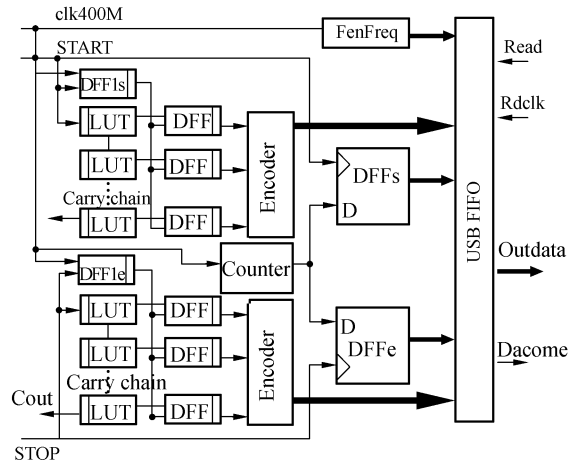


图 2 激光雷达时间数字转换电路原理框图

Fig. 2 Block diagram of TDC for pulsed laser radar

由 Xilinx Virtex-II 文档可知, XC2V250 每列 (column) 有 48 个 CLB, 每个 CLB 包含 4 个 slices, 其中两个 slices 一列, 其余两个 slices 为一列, 每列 CLB 可以被级联成两路延迟线。此外一个 slice 可以构成一个进位延时单元, 一个 CLB 可以实现两个进位延时单元, 那么 XC2V250 每列 CLB 可以实现 96 个延时单元的进位链。根据表 1, 整个延时进位链的延时为 $T \times L = 82 \times 48 = 3.936 \text{ ns}$ 。这样计数器的计数频率必须大于 $1/3.936 = 254 \text{ MHz}$, 因此, 本设计采用 400 MHz 的计数频率来设计“粗”时间测量单元。

3 TDC 电路的 FPGA 实现

由图 2 可知, 基于 FPGA 的 TDC 电路模块由 4 部分组成: 高速计数器、两路延迟线、两路温

度计编码电路以及 USB FIFO 数据传输模块。

3.1 高速计数器

计数器的计数速度取决于最低位到最高位的进位延迟,采用格雷码(Gray-code)计数器计数频率可以达到很高,但是它占用 FPGA 资源较多^[8],所以本文采用一个 12 位二进制预定标同步计数器来实现高速计数,其原理框图如图 3 所示,即把计数器分成一个小计数器和一个大计数器,其中小计数器是 3 位的,大计数器是 9 位的。小计数器每个 400 MHz 时钟翻转一次,小计数器低位寄存器输出的数据必须在一个 400 MHz 的时钟内输入高位寄存器的输入端,即寄存器之间的最大延时为一个 400 MHz 时钟的周期(2.5 ns),而大计数器每 8 个 400 MHz 时钟翻转 1 次,寄存器之间的最大延时为 8 个 400 MHz 时钟的周期(20 ns),这就降低了时序要求。

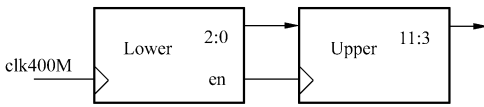


图 3 高速预定标计数器的原理框图

Fig. 3 Block diagram of high speed pre-scale time counter

对 FPGA 进行时序约束,最终得到了一个稳定的 12 位 400 MHz 的高速计数器,其 ISE 后仿真时序图如图 4 所示。

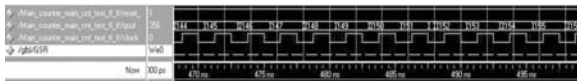


图 4 高速计数器的 ISE 后仿真时序图(单位:ns)

Fig. 4 Sequence chart of high-speed counter(unit: ns)

3.2 专用延时进位链(Carry-in line)

在 FPGA 中实现延迟线插入法有很多种,其中利用 FPGA 内部专用进位链(Carry-in)实现时间内插可以获得较高的测时分辨率。要实现时间内插电路,首先要将这些基本内插单元进位连线级联起来形成一条对输入信号的时间内插延迟线。将进位单元级联成进位线有多种方法,例如计数器、加法器和乘法器等,其中加法器级联的进位线可以实现对输入信号的时间内插,加法器实

现进位的公式有^[6]:

$$\begin{aligned} Sum &= A \oplus B \oplus C_i \\ C_o &= A \& B + (A + B) \& C_i \end{aligned} \quad (3)$$

延时进位链的原理如图 5 所示。为了保存激光主波 START 和回波 STOP 到来的时刻,加法器进位链的结果必须在 START 或 STOP 信号到来的下一个时钟上升沿被同步锁存。为了解决高速时钟锁存的难题,本文提出利用 400 MHz 高速时钟同步的 START/STOP 信号 strt_hit_sy_1/stp_hit_sy_1 进行锁存。为了保证进位链的信息被一致锁存,FPGA 设计电路必须满足 3 个条件:(1)加法器进位链的输出到锁存器的路径延时尽量短,并保持一致;(2)400 MHz 时钟同步的 START/STOP 信号到锁存器时钟端的路径延时尽量短;(3)激光主波和回波两路专用进位链尽量做到对称,即:START 和 STOP 从引脚到延迟线的路径延时大致相等。

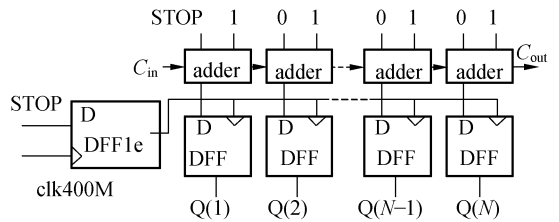


图 5 专用进位链的原理示意图

Fig. 5 Block diagram of carry-in line interpolator

表 2 延迟线关键信号延时分析

Tab. 2 Delay of interpolator key signals

关键信号	MAXSKEW/ns	MAX DELAY/ns
START	0.017	1.376
STOP	0.017	1.958
strt_hit_sy_1	0.257	1.162
stp_hit_sy_1	0.257	1.162

通过优化约束文件,利用 FPGA 编辑器和布局规划器调整 FPGA 底层走线,最终实现了 2 路结构对称的进位延迟线,分局 Xilinx ISE 中的时序分析器得到了进位延迟线的重要信号延时,如表 2 所示。

在表 2 中,MAXSKEW 是指同一点驱动的信号到达两个或两个以上终点的最大时间延时差别,MAX DELAY 是指网线的最大延时。由图 2 所示,START/STOP 信号驱动的终点有 3 个:延时进位链、同步锁存器 DFF1s/DFF1e 和计数器锁存器 DFFs/DFFe,它们的 MAXSKEW 都为 0.017 ns,延时相差很小,可以认为是同时到达;而 START 和 STOP 最大路径延时相差 0.582 ns,START 和 STOP 延迟线的结构基本对称。strt_hit_sy_1 或 stp_hit_sy_1 信号驱动的终点是一列(96 个)D 锁存器组,最大延时时差 0.257 ns,400 MHz 同步 START/STOP 信号同时到达 D 锁存器,而 strt_hit_sy_1 和 stp_hit_sy_1 最大路径延时都为 1.162 ns,这样就保证了进位链延时信息基本上被一致锁存,其后仿真图如图 6 所示。

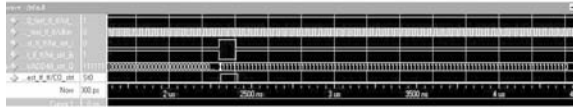


图 6 进位延迟线输出后的仿真时序图(单位:ns)

Fig. 6 Sequence chart of interpolator's output (unit: ns)

3.3 温度计编码器

由图 4 可知,加法器所有的被加数为 1,加数除最低位外都为 0,加数的最低位作为主波 START 或回波 STOP 的输入。这样根据公式(3),当外部没有输入信号时,加数的最低位为 0,所有输出 Sum 都为 1,进位链上没有信号传播;当外部有输入信号时,加数的最低位为 1,加法器的最低位加法公式就是 $A+B+Ci=1+1+0$,和数 Sum[0]为 0,进位信号为 1,这样代表延时信息的进位链输出为 0,其余的进位链输出为 1,通常将这种编码形象地称之为温度计码。

从锁存器得到的温度计码需要转换成二进制码才能得到具体的 START 或 STOP 信号到来的时刻,将温度计码转换成二进制码有多种方法:顺序查找法、二叉排序树查找法和折半查询法等^[9]。本设计利用折半查询法,得到了正确的 START/STOP 到来时温度计码对应的二进制值。

3.4 主回波时间间隔(TOF)计算

TDC 电路转换结果(START/STOP 计数器计数值 N_s/N_e , START/STOP 进位链编码器值 Q_s/Q_e)写入 USB FIFO 缓冲器,通过 USB 传输到上位机,按照公式(1)计算得到了激光主波和回波之间的时间间隔:

$$T_{rl} = T_{cnt} + T_s - T_e = N_{cnt} \times T_0 + Q_s \times T_{LSB} - Q_e \times T_{LSB}, \quad (4)$$

T_{LSB} 是延迟线延时单元的延时, T_0 是高速计数器的时钟周期。

$$\begin{cases} N_{cnt} = N_e - N_s, & N_e \geq N_s \\ N_{cnt} = 2^{N_w} + N_e - N_s, & N_e < N_s \end{cases}, \quad (5)$$

N_w 为计数器的位宽, $N_w = 4\ 096$ 。

4 测量实验与结果分析

为了实现主回波时间间隔测量,需要测量 TDC 电路延迟线各个单元的延时 $t(i)$ 及延时单元的平均延时 T_{LSB} ,为此设计了延时测量电路。延时测量电路由两片可编程数字延时芯片 AD9500 级联组成,延时测量电路对输入的脉冲信号进行延时,延时时间可以通过 FPGA 控制 8 位数据字 D 设置,其延时时间 T_d 如公式(6)所示:

$$T_d = \frac{D}{256} R_{SET} (C_{EXT} + 10\ \text{pF}), \quad (6)$$

式中 R_{SET} 是接到 AD9500 第 21 脚的电阻, C_{EXT} 是接到 AD9500 第 9 脚的电容,由公式(6)可知,选取合适的 R_{SET} 和 C_{EXT} 值,AD9500 的最小时延可达 $10\ \text{ps}$ ^[10]。

实际测量时,FPGA 产生一个脉冲信号 X ,FPGA 通过 8 位数据字 D 控制延时测量电路产生一段已知的延时,信号 X 经延时测量电路延时输出的信号 Y 进入回波 STOP 延迟线,信号 X 进入主波 START 延迟线,通过上位机 VC 程序观察并记录两路延时进位链的温度计编码输出值 Q_s 和 Q_e 以及两个计数器锁存器的输出值 N_s 和 N_e 。在室温 $25\ ^\circ\text{C}$ 的环境中, $0 \sim 256$ 依次增加 D 值,进行多次重复测量,由公式(6)计算得到 X 和 Y 之间的时间间隔 T_d ,按照公式(4)和(5)分析得到了 TDC 电路中延迟线各单元延时的大小 $t(i)$,

如表 3 所示。

表 3 实际测量所得各延迟单元延时大小

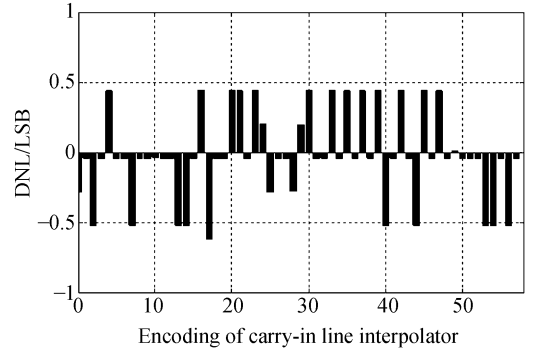
Tab. 3 2 cell time delay of carry-in lines (ps)

i	$t(i)$	i	$t(i)$
1	50.5	31	50.5
2	40.4	32	40.4
3	40.4	33	40.4
4	40.4	34	50.5
5	50.4	35	40.4
6	40.4	36	50.5
7	40.4	37	40.4
8	30.3	38	50.5
9	40.4	39	40.4
10	40.4	40	50.5
11	40.4	41	40.4
12	40.4	42	30.3
13	40.4	43	40.4
14	30.3	44	40.4
15	30.3	45	50.5
16	40.4	46	40.4
17	50.5	47	40.4
18	40.4	48	50.5
19	40.4	49	40.4
20	4.4	50	40.4
21	50.5	51	40.4
22	40.4	52	40.4
23	50.5	53	40.4
24	40.4	54	30.3
25	40.4	55	30.3
26	50.5	56	40.4
27	40.4	57	40.4
28	40.4	58	40.4
29	40.4	59	40.4
30	40.4	60	40.4

由表 3 可知, 延时进位链可被信号通过的延迟单元数为 60, 延迟线插入法是测量激光测距信号与计数器时钟上升沿的时间, 最长时间是一个时钟周期, 计数器的时基时钟是 400 MHz, 因此延迟进位链的加法器延时单元平均延时 $T_{\text{LSB}} = 2500/60 = 41.7$ ps。然而由于 Xilinx FPGA 一个基本逻辑单元可以实现两个延时单元, 编码器输出每次变化两位, 因此单次测时分辨率是 2 个延时单元的时间, 即 80 ps 左右, 但是经过 3 次以上的测量取均值可以达到 40 ps 左右的分辨率。

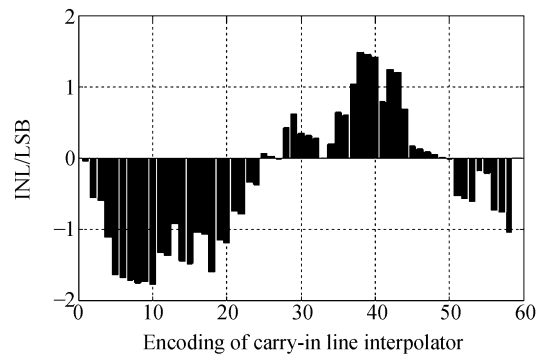
时间数字转换电路的微分非线性 (DNL) 误

差和积分非线性 (INL) 误差如图 7 所示, 由图 7 可知, 微分非线性误差为 $-0.524\text{LSB} \sim +0.448\text{LSB}$, 积分非线性误差 $-1.598\text{LSB} \sim +1.492\text{LSB}$, 说明所设计的时间数字转换电路非线性误差较小。



(a) TDC 电路的微分非线性

(a) Differential nonlinearity of TDC



(b) TDC 电路的积分非线性

(b) Integral nonlinearity of TDC

图 7 XC2V250 FPGA TDC 电路性能测试图

Fig. 7 Performance of carry-in line interpolator of TDC implemented in FPGA XC2V250

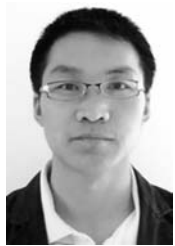
5 结 论

本文针对大容量 FPGA 时间数字转换电路线性度较差的问题, 采用小容量 FPGA XC2V250 设计了用于飞行时间法激光测距系统的时间数字转换电路。初步测试结果表明, 所设计的时间数字转换电路单次测时分辨率约为 80 ps, 经过校正后可达 40 ps; 此外测时线性度也较好, 基本满足脉冲激光测距中高精度、非线性误差小的测时要求。

参考文献:

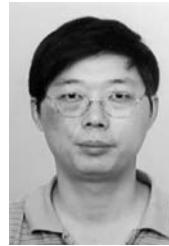
- [1] 宋健. 基于 FPGA 的精密时间-数字转换电路研究 [D]. 合肥:中国科技大学,2006.
SONG J. *Investigation into the time-to-digital converter based on FPGA* [D]. Hefei: Graduate University of Science and Technology of China, 2006. (in Chinese)
- [2] NUTT R. Digital time intervals meter [J]. *Rev. Sci. Instrum.*, 1968,39:1342-1345.
- [3] KALISZ J, SZPLET R, PONIECKI A. Field programmable gate array based time-to-digital converter with 200-ps resolution [J]. *IEEE Trans. Instrum. Meas.*, 1997,46(1):51-55.
- [4] DUDEK P, SZCZEPANSKI S, HATFIELD J V. A high-resolution CMOS time-to-digital converter utilizing a vernier delay line [J]. *IEEE Trans. Instrum. Meas.*, 2001,35(2):240-247.
- [5] WU J, SHI Z, WANG I Y. Firmware-only implementation of time-to-digital converter in field programmable gate array [J]. *IEEE Conf. Rec. NSS.*, 2003,1:177-181.
- [6] SONG J, QI A, LIU S B. A high-resolution time-to-digital converter implemented in field programmable gate array [J]. *IEEE Trans. Nucl. Sci.*, 2006,53(1):236-241.
- [7] MAXIM COMPANY. INL/DNL measurements for high-speed analog-to-digital converters (ADCs) [ED/OL]. <http://www.maxim-ic.com/support>
- [8] Application Brief 135. *Ripple-Gray Code Counters* [M]. Altera Corp, 2003.
- [9] XILINX COMPANY. Virtex-II, Virtex-II pro, Virtex-IV, Virtex-V, and Virtex-VI Complete Data Sheet[EB/OL]. <http://china.xilinx.com>.
- [10] CORMEN T H, LESIERSON C E, RIVEST R L, et al.. *Introduction to Algorithms*. [M]. 2nd ed. New York: McGraw-Hill, 2001.
- [11] ANALOG D. Digital Programmable Delay Generator AD9500 [EB/OL]. <http://www.analog.com>.

作者简介:



冯志辉(1983—),男,山西大同人,博士生,2006年于哈尔滨工业大学获得学士学位,主要从事激光测距和激光成像雷达的研究。E-mail: ommko@163.com

导师简介:



刘恩海(1964—),男,四川达州人,研究员,博士生导师,1987年于大连理工大学(现大连理工大学)获得学士学位,现为中国科学院光电技术研究所6室主任,主要从事光电精密计量测试技术的研究。E-mail: leh@ioe.ac.cn